

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150402

(43)Date of publication of application : 02.06.1999

(51)Int.CI.

H01P 1/203

H01P 1/205

H01P 11/00

(21)Application number : 09-317988

(71)Applicant : TDK CORP

(22)Date of filing : 19.11.1997

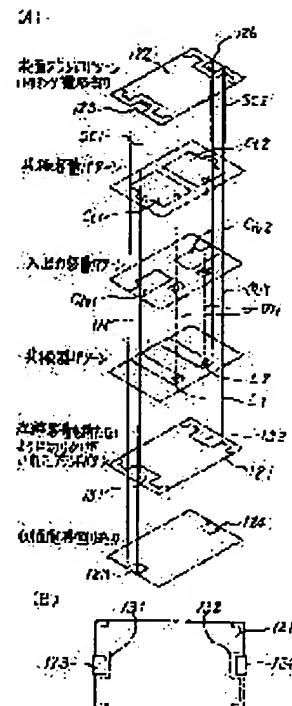
(72)Inventor : YASUDA KYOICHI  
TOMAKI SHIGEMITSU

## (54) STACKED-TYPE FILTER

### (57)Abstract:

PROBLEM TO BE SOLVED: To match a frequency characteristic after trimming with a frequency characteristic after shorted circuits are cut by printing a ground pattern on a dielectric green sheet and constituting the ground pattern, the detouring electrode of an input terminal and the electrode of an output terminal do not overlap, namely, in non-overlapped state.

SOLUTION: A dielectric green sheet in which a detouring electrode 123 of the input terminal IN and a detouring electrode 124 of the output terminal OUT are formed at the back is stacked on a printing sheet and a ground pattern 121 is printed on it. Recessed parts 131 and 132 are formed on the ground pattern 121. A part where the ground pattern 121 overlaps with the detouring electrodes 123 and 124 so constituted so as not to exist, and floating capacity is prevented from existing in the part. Thus, the dispersion of shift quantity due to the dispersion of the floating capacity of already adjusted filter characteristic can be eliminated at cutting of short circuits SC1 and SC1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150402

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.<sup>6</sup>  
H 01 P 1/203  
1/205  
11/00

識別記号

F I  
H 01 P 1/203  
1/205  
11/00

J  
K

審査請求 未請求 請求項の数3 O.L (全 8 頁)

(21)出願番号 特願平9-317988

(22)出願日 平成9年(1997)11月19日

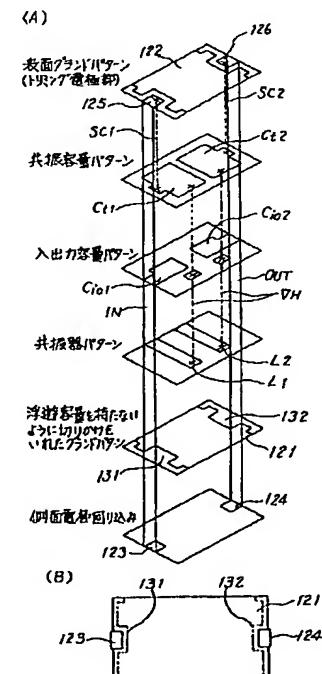
(71)出願人 000003067  
ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号  
(72)発明者 安田 教一  
東京都中央区日本橋一丁目13番1号 ティ  
ー・ディーケイ株式会社内  
(72)発明者 戸蒔 重光  
東京都中央区日本橋一丁目13番1号 ティ  
ー・ディーケイ株式会社内  
(74)代理人 弁理士 山谷 晴榮 (外2名)

(54)【発明の名称】 積層形フィルタ

(57)【要約】

【課題】積層形フィルタにおいて、短絡回路カット後にトリミング周波数特性のシフトがないようにすること。

【解決手段】入力端子INの下面回り込み部分123及び出力端子OUTの下面回り込み部分124が、いずれも基体の下面側に内蔵されたグランド電極121と重ならないように、例えば凹部131、132を形成する。



## 【特許請求の範囲】

【請求項1】基体と、これに入力端子と、出力端子と、アース導体と、複数の共振回路と、第1のインピーダンス素子と、第2のインピーダンス素子と、第1の短絡回路と、第2の短絡回路が形成された積層形フィルタであって、前記基体は6つの主面を有する多面体であって、前記入力端子及び出力端子は前記基体の両側面の少なくとも一面に形成されており、主面の1つにトリミング電極部を有しており、前記第1の短絡回路は前記基体上に設けられ一端が前記共振回路の1つと接続され他端が前記基体の外面に導出されてかつ前記入力端子に接続され、これにより前記第1のインピーダンス素子を短絡しており、第2の短絡回路は、前記基体上に設けられ一端が前記共振回路の他の1つと接続され他端が前記基体の外面に導出されてかつ前記出力端子に接続され、これにより前記第2のインピーダンス素子を短絡しており、前記トリミング電極部は前記共振回路の一部を構成し、前記基体にトリミング可能に設けられている積層形フィルタにおいて、前記入力端子の下面側回り込み部分及び出力端子の下面側回り込み部分と、下面側に内蔵されたグランド電極とを非重疊状態に設けたことを特徴とする積層形フィルタ。

【請求項2】前記重ならない状態として、グランド電極に凹部を形成したことを特徴とする請求項1記載の積層形フィルタ。

【請求項3】前記重ならない状態として、前記入力端子の下面側回り込み部分及び前記出力側回り込み部分の位置よりも内側に前記グランド電極の側線部分が位置するように形成したことを特徴とする請求項1記載の積層形フィルタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば携帯電話、コードレスホーンのような移動帶通信機器等の高周波回路に使用される積層形フィルタに関する。

## 【0002】

【従来の技術】近年携帯電話のような移動帶通信機に積層形フィルタが広く使用されている。積層形フィルタは、例えば図7に示す如き回路を有し、フィルタを構成する一つの基体1にZ1、Z2の複数の共振回路が形成された構造を有する。これら共振回路Z1、Z2は電気的に互いに結合されている。

【0003】最初は、図8に示す如く、共振回路Z1は後述するようにトリミングによりその静電容量が調整可能なコンデンサである可変インピーダンス素子Z12と、インダクタンスであるインピーダンス素子Z11の並列回路により構成される。そしてこの共振回路Z1の一端がアース端子T11と接続され、他端がコンデンサである第1のインピーダンス素子Z13と短絡回路SC1の並列回路を介して入力端子INと接続される。

【0004】同じく共振回路Z2は、トリミングによりその静電容量が調整可能なコンデンサである可変インピーダンス素子Z22と、インダクタンスであるインピーダンス素子Z21の並列回路により構成される。そしてこの共振回路Z2の一端がアース端子T21と接続され、他端がコンデンサである第2のインピーダンス素子Z23と短絡回路SC2の並列回路を介して出力端子OUTと接続される。

【0005】そして図8(A)に示す如く、共振回路Z1において、入力端子INにネットワークアナライザ等の特性測定装置2を接続するとともに、アース端子T11をアースする。このとき共振回路Z2側では出力端子OUT及びアース端子T12をアースする。

【0006】この状態で共振回路Z1に含まれる可変インピーダンス素子Z12の回路定数を、後述するように調整し、共振回路Z1の特性を調整する。例えば共振回路Z1の調整前の周波数-反射特性S11が、図8(B)に示すようなものであり、共振周波数fr1が目標とする周波数fo1より低い場合、可変インピーダンス素子Z12の回路定数値を調整し、これにより図8(C)に示す如く、その共振周波数を目標とする周波数fo1に調整する。

【0007】このとき共振回路Z2は出力端子OUTがアースされてアース端子T21と短絡されているので、特性調整作業中の共振回路Z1が作業中に共振回路Z2の影響を受けることはない。

【0008】共振回路Z1の特性調整が終わった後、共振回路Z2の特性調整を同様にして行う。今度は、図9に示す如く、共振回路Z2の出力端子OUTに特性測定装置2を接続し、アース端子T21をアースする。そして共振回路Z1側において、入力端子INとアース端子T11をそれぞれアースする。

【0009】この状態で共振回路Z2の可変インピーダンス素子Z22の回路定数値を調整し、その特性を調整する。このようにして共振回路Z1、Z2の特性調整が終わった後に、図10に示す如く、短絡回路SC1を、B1に示す如く切断して入力端子INから切り離し、短絡回路SC2を、B2に示す如く切断して出力端子OUTから切り離す。これにより図7に示す如く、共振回路Z1、Z2が、フィルタ回路を構成する第1のインピーダンス素子Z13、Z23を介して入力端子INまたは出力端子OUTに接続された、本来の回路構成が得られる。

【0010】このような特性調整後のフィルタ全体としての特性は、調整後の共振回路Z1、Z2の特性を合成したものになることは明らかである。図11は調整後の共振回路Z1、Z2の特性を合成した周波数-挿入損失特性の一例を示す。

【0011】特開平9-36607号公報に記載された手法による、前記の積層形フィルタの外形及び前記調整

3

方法を図12、図13に示す。図12(A)は積層形フィルタの外形図であり、調整用トリミング及び短絡回路が切断される前の状態を示し、同(B)はその内部を示す断面図である。

【0012】図12において、基体10は、その内部にコンデンサである可変インピーダンス素子Z12、Z22を構成するパターン導体12、13と、コンデンサであるインピーダンス素子Z13、Z23を構成するパターン導体18、19、インダクタンスであるインピーダンス素子Z11、Z21を構成するパターン導体16、17が誘電体層中に設けられ、その外側に入力端子IN、出力端子OUT、アース導体11が形成されている。そしてアース導体11の主面上部がトリミング電極部111を構成している。またその下面にもアース導体11-0が形成されている。

【0013】前記共振回路Z1の特性調整は、図13(A)に示す如く、入力端子INにケーブル等の配線21を介して特性測定装置2を接続し、出力端子OUTをケーブル等の配線22によりアースする。この状態でレーザまたはサンドブラスト等のトリミング装置23を用い、トリミング電極部111をトリミングつまり部分的に削除する。この後、同様に共振回路Z2についてもトリミングによる特性調整を行う。図13(B)の削除部112、113はこれらのトリミングした状態を示す。

【0014】このトリミングのみでは、特性調整のために必要な第1の短絡回路SC1及び第2の短絡回路SC2がインピーダンス素子Z13、Z23を短絡しているので、そのままでは機能しない。これらを機能させるため、各短絡回路SC1、SC2の切り離しが必要である。

【0015】そのため、図13(C)に示す如く、トリミング装置23を用いて、トリミング電極部111のある主面上で、入力端子INを矢印X1の方向に切断B1する。また図13(D)に示す如く、出力端子OUTを矢印X2の方向に切断B2する。このようにして図7に示す如き回路の積層形フィルタが得られる。

【0016】ところで、この図12に示す如き積層形フィルタを作成するとき先ず印刷シート(基台)上に、インダクタンス用のパターン導体16、17、入出力コンデンサ用のパターン導体18、19、インピーダンス素子Z12、Z22用のパターン導体12、13、トリミング電極部用のパターン導体111などパターンに応じて用意された複数種類の誘電体グリーンシート及び各パターン導体の厚さ方向の間隔を調整するブランク(パターン導体の形成されていない)誘電体グリーンシートを積層、スタッカしたものを反転し、アース導体11用のパターン導体11-0を印刷する。このあと焼成、切断などの工程を通じて個別のチップ(基体10)とし、入出力端子IN、OUT並びにアース端子11用の導電体ペーストを転写技術を用いて付着させ焼き付けを行う。

4

【0017】なお図12には示されていないが、基体10の内部にはビアホールが形成されインダクタンス用のパターン導体16、17とインピーダンス素子Z12、Z22用のパターン導体12、13とを接続し、また第1の短絡回路SC1及び第2の短絡回路SC2が形成される。そしてこの基体の側面にアース導体11、11-0が形成される。

【0018】

【発明が解決しようとする課題】ところでこのアース導体11-0は印刷シート(基台)の上に最初に印刷できれば問題ないが、アース導体11-0は誘電体グリーンシートのように積層できるものはなく導電体ペーストで印刷されるため、前記の如く、基体10を構成するとき、このアース導体11-0を外側に印刷するための工程が必要であった。

【0019】これを改善してアース導体11-0を後で外側に印刷せずに、基体中にインダクタンスやコンデンサ用の他の導電パターンと同様に誘電体グリーンシート上に印刷するため、図14に示す如く、印刷シート(基台)(図示省略)上に誘電体グリーンシート120を積層し、その上にアース導体11-0に対応するグランドパターン121を導電ペーストにより印刷する。

【0020】それから前記と同様に、誘電体グリーンシートを一定数積層したあとで、共振器のインダクタンス部分のパターン導体L1、L2を印刷し、入出力コンデンサのパターン導体Ci01、Ci02を印刷し、共振器のコンデンサ部分のパターン導体Ct1、Ct2を印刷し、トリミング電極部となる表面のグランドパターン122及び入力端子INの回り込み電極125、出力端子OUTの回り込み電極126を印刷する。

【0021】なおこのとき前記インダクタンス部分のパターン導体L1、L2と前記共振器のコンデンサ部分のパターン導体Ct1、Ct2を接続するためのビアホールVHが形成されて両者は接続され、短絡回路SC1、SC2が形成されて前記回り込み電極125、126と、共振器のコンデンサ部分のパターン導体Ct1、Ct2とが接続されている。

【0022】また基体の裏側にも側面電極である入力端子INの回り込み電極123と、同じく側面電極である出力端子OUTの回り込み電極124が形成されている。これらの回り込み電極123と124は特別に印刷するのではなく、入力端子INと出力端子OUTをゴム印で積層形フィルタの側面に転写印刷するとき、ゴム印の溝に存在する導電ペーストの一部がゴム印が押しつけられたときに基体の表面まで回り込んで(下方にだれて)これらの回り込み電極123、124が形成されるものとなる。

【0023】このように構成された積層形フィルタを前記と同様に、特性測定装置を図16に示す入力端子S1に接続し、出力端子S2をアースした状態で、共振

50

回路の周波数-反射特性を測定すると図16(B)に示す如く目標周波数F<sub>t</sub>より離れている。このときグランドパターン122の一部をトリミング装置によりトリミングし、共振器のコンデンサC<sub>t1</sub>の容量を、この共振周波数を目標周波数F<sub>t</sub>になるように調整する。同様に出力端子側でも、出力端子S<sub>22</sub>に特性測定装置と接続し、入力端子S<sub>11</sub>をアースしてグランドパターン122の1部をトリミングし共振器のコンデンサC<sub>t2</sub>の容量調整を行う。なお図16(A)に示される、入力端子S<sub>11</sub>及び出力端子S<sub>22</sub>にそれぞれ接続されたコンデンサC<sub>f</sub>、C<sub>f</sub>は、いずれも浮遊容量である。

【0024】この浮遊容量C<sub>f</sub>、C<sub>f</sub>は、図15に示す入力端子INの回り込み電極123とグランドパターン121及び出力端子OUTの回り込み電極124とグランドパターン121との間に存在するものである。

【0025】調整時において浮遊容量C<sub>f</sub>、C<sub>f</sub>は短絡回路SC1、SC2より各共振回路のコンデンサC<sub>t1</sub>、C<sub>t2</sub>にそれぞれ並列接続されていることと等価である。この各浮遊容量C<sub>f</sub>の影響を含んだままC<sub>t1</sub>、C<sub>t2</sub>をトリミングし共振周波数を調整することとなり(図17(B)のA特性)、このあと短絡回路SC1、SC2を切り離すことによって浮遊容量C<sub>f</sub>は各共振回路から切り離されることとなり、フィルタ全体の特性がシフトしてしまう影響を及ぼす。(図17(B)のB特性)

従って本発明の目的は、グランドパターンを誘電体グリーンシート上に印刷して構成した積層形フィルタにおいて、トリミング後の周波数特性と、短絡回路カット後の周波数特性とが略一致するものを提供することである。

#### 【0026】

【問題を解決するための手段】前記目的を達成するため、本発明の積層形フィルタでは、図1(A)、(B)に示す如く、グランドパターン121と入力端子INの回り込み電極123及び出力端子OUTの回り込み電極124が重ならないように即ち非重疊状態に構成する。例えばグランドパターン121に凹部131、132を形成して、回り込み電極123、124とグランドパターン121とが重ならないようにする。これにより入力端子INの回り込み電極123との間に浮遊容量が存在せず、また出力端子OUTの回り込み電極124との間に浮遊容量が存在する事がないので、従来のように存在する浮遊容量のバラツキに基く前記課題を解決した積層形フィルタを提供することができる。

#### 【0027】

【発明の実施の形態】本発明の一実施の形態を図1～図3により説明する。図1(A)は本発明の一実施の形態の積層形フィルタの分解構成説明図、同(B)はその裏側からみた入力端子INの回り込み電極123とグランドパターン121との重合関係及び出力端子OUTの回り込み電極124とグランドパターン121との重合関

係を示すものである。図2は図1(A)で分解的に示した積層形フィルタの上側及び下側斜視図である。図3はその短絡回路が切断されたあとの本発明の積層形フィルタの回路構成図である。

【0028】本発明の積層形フィルタは、図1(A)に示す如く、その裏面に入力端子INの回り込み電極123と、出力端子OUTの回り込み電極124が形成される誘電体グリーンシート120を印刷シート(基台)

10 (図示省略) 上に積層し、その上にグランドパターン121を導電ペーストにより印刷する。このグランドパターン121には凹部131と132が形成されており、前記回り込み電極123がその凹部131に位置し、前記回り込み電極124がその凹部132に位置し、これによりグランドパターン121と回り込み電極122及び123とがそれぞれオーバラップする部分が存在しないように構成されている。

【0029】グランドパターン121の上には、前記の如く、共振器のインダクタンス用のパターン電極L1、L2が誘電体グリーンシートを介して積層され、更にそ

20 の上に入出力コンデンサ用のパターン導体Ci o1、Ci o2が誘電体グリーンシートを介して積層される。そしてその上に共振器のコンデンサ用のパターン電極Ct1、Ct2が誘電体グリーンシートを介して積層され、その上に、主面上に入力端子IN用の上部の回り込み電極125と、出力端子OUT用の上部の回り込み電極126と、グランドパターン122が誘電体グリーンシートを介して積層される。

【0030】共振器のインダクタンス用のパターン電極L1、L2はそれぞれビアホールVH、VHによりコンデンサ用のパターン電極Ct1、Ct2と接続され、またこのパターン電極Ct1、Ct2は短絡回路SC1、SC2により前記上部の回り込み電極125、126と接続されている。

【0031】図2(A)はこの積層形フィルタを上部から見た斜視図であり、同(B)は下部から見た斜視図である。この図1、図2において積層形フィルタの左右側面には、入力端子INと出力端子OUTが転写により形成されて入力端子INは上の回り込み電極125と接続され下方の回り込み電極123をダレにより形成する。

40 同様に出力端子OUTは上の回り込み電極126と接続され下方の回り込み電極124をダレにより形成する。そして主面上のグランドパターン122と、底側内部のグランドパターン121等を接続するアース導体11が、積層フィルタの他の両側面に形成される。このアース導体11は、前記インダクタンス用のパターン電極L1、L2の一端とも接続されている。

【0032】このようにして、入出力用のコンデンサCi o1、Ci o2が短絡回路SC1、SC2に短絡された状態の積層形フィルタが得られる。その後、前記と同様に先ず入力端子IN側に特性測定器を接続し、出力端

7

子OUTをアースして、トリミング装置により主面上のグランドパターン122をトリミングして共振器Z1の共振周波数fr1を目標値に合わせる。次に入力端子INをアースして、特性測定器を出力端子OUTに接続し、トリミング装置により主面上のグランドパターン122をトリミングして共振器Z2の共振周波数fr2を目標値に合わせる。それからトリミング装置により短絡回路SC1、SC2をそれぞれ切断する。

【0033】これにより積層形フィルタの電気回路は図3に示す如きものとなる。このとき、図1(A) (B)に示す如く、底側のグランドパターン121には凹部131、132が形成されて、入力端子INの回り込み電極123及び出力端子OUTの回り込み電極124とオーバラップしないので、この間に浮遊容量は存在せず、従って図3に示す電気回路のものとなる。

【0034】それ故、図14～図17に示す如く、従来のものでは浮遊容量が共振器に悪影響が存在したこと、効果的に改善することができる。オーバラップしない手法としては、上記凹部の形成に限定されるものではなく、例えば、図4に示す如く、グランドパターン121の直線状の側線P1、P2が前記回り込み電極123、124と重ならない位置になるようパターニングすることもできる。

【0035】本発明の第2の実施の形態を図5及び図6により説明する。前記図1及び図2に示すものは、入力端子INと出力端子OUTが積層形フィルタのそれ異なる側面に形成されたものであったが、第2の実施の形態では、図5に示す如く、入力端子INと出力端子OUTを同一側面に形成したものである。

【0036】この第2の実施の形態の積層形フィルタは、図6に示す如く、誘電体グリーンシート120を印刷シート(基台)(図示省略)上に積層し、その上にグランドパターン121を導電ペーストにより印刷する。このグランドパターン121の側線121-1、121-2は回り込み電極123、124と重ならない位置に形成される。

【0037】グランドパターン121の上には、前記の如く共振器のインダクタンス用のパターン電極L1、L2が誘電体グリーンシートを介して積層され、更にその上に入出力コンデンサ用のパターン導体Ct1、Ct2が誘電体グリーンシートを介して積層される。そしてその上に共振器のコンデンサ用のパターン電極Ct1、Ct2が誘電体グリーンシートを介して積層され、その上の主面上に入力端子IN用の上部の回り込み電極125と、出力端子OUT用の上部の回り込み電極126と、グランドパターン122が誘電体グリーンシートを介して積層される。なお図6には入力端子IN及び出力端子OUTは図示省略した。

【0038】共振器のインダクタンス用のパターン電極L1、L2は、それぞれビアホールVH、VHによりコ

8

ンデンサ用のパターン電極Ct1、Ct2と接続され、またこのパターン電極Ct1、Ct2は短絡回路SC1、SC2により前記上部の回り込み電極125、126と接続されている。

【0039】このようにして積層形を形成したあとで、図5に示す如く、例えばゴム印の転写パターンによりその側面に入力端子IN、出力端子OUT、アース導体11を転写する。このとき、この転写の際の導電ペーストのだけにより、入力端子INの回り込み電極123、出力端子OUTの回り込み電極124、アース導体11の回り込み部11-1が形成される。この図5(A)

(B)に示す、これら入力端子IN、出力端子OUT、アース導体11が転写印刷された反対側の側面にはアース導体が印刷されることが好ましい。

【0040】この図5、図6の構成では、前記入力端子IN、出力端子OUT、アース導体11が印刷された反対側にもアース導体を印刷したとしても、図2に示す入力端子INとその反対側の出力端子を転写印刷する2つの面には何も印刷する必要がないので、印刷工程が少なくてよいというメリットがある。

【0041】

【発明の効果】本発明によれば下記の効果がある。

(1) 入力端子の下面側回り込み部分と基体の下面側に内蔵されたグランド電極及び、出力端子の下面側回り込み部分と基体の下面側に内蔵されたグランド電極とがいずれも重ならないため、この部分に浮遊容量が存在しなくなる。そのため従来この部分に存在した入力側及び出力側の浮遊容量のバラツキにより、第1、第2の各短絡回路を切断したとき調整ずみのフィルタ特性のシフト量にバラツキが存在する欠点を改善することができる。

【0042】(2) 下面側に内蔵されたグランド電極の、入力端子の下面側回り込み部分と出力端子の下面側回り込み部分とに凹部を形成するという簡単な手法により、浮遊容量のバラツキによる欠点を有効に改善することができる。

【0043】(3) 入力端子の下面側回り込み部分と出力端子の下面側回り込み部分の各位置の内側に、下面側に内蔵されたグランド電極の側線部分が位置するように形成するという簡単な手法により、浮遊容量のバラツキによる欠点を有効に改善することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の構成説明図である。

【図2】本発明の積層形フィルタの一実施の形態の斜視図である。

【図3】本発明の積層形フィルタの電気回路図である。

【図4】本発明の積層形フィルタの第2の実施の形態説明図である。

【図5】本発明の第3の実施の形態の斜視図である。

【図6】本発明の第3の実施の形態の構成説明図である。

50 る。

【図7】積層形フィルタの電気回路図である。

【図8】積層形フィルタの特性調整説明図（その1）である。

【図9】積層形フィルタの特性調整説明図（その2）である。

【図10】短絡回路切断状態説明図である。

【図11】特性調整後の積層形フィルタのフィルタ特性である。

【図12】従来の積層形フィルタの構成説明図である。

【図13】従来の積層形フィルタのトリミング状態説明図である。

【図14】従来の積層形フィルタの構成説明図（その

1）である。

【図15】従来の積層形フィルタの構成説明図（その2）である。

【図16】従来の積層形フィルタの電気回路及び特性調整説明図である。

【図17】従来の積層形フィルタの問題点説明図である。

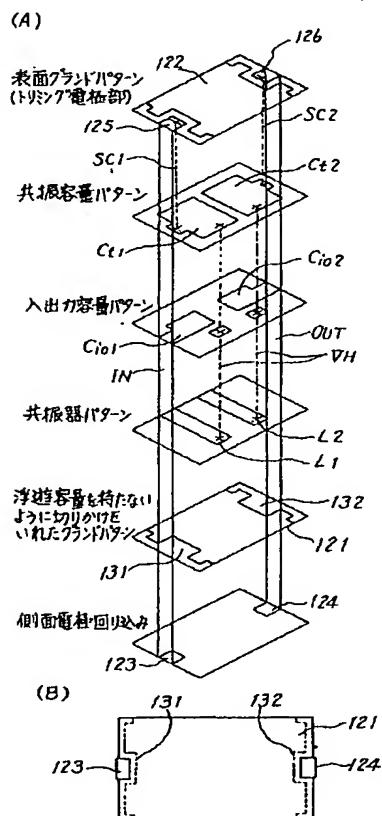
#### 【符号の説明】

10 基体

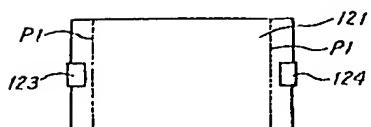
11 アース導体

121、122 グランドパターン

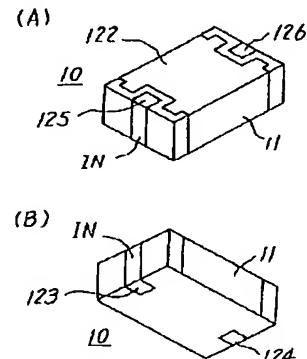
【図1】



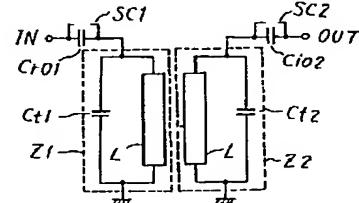
【図4】



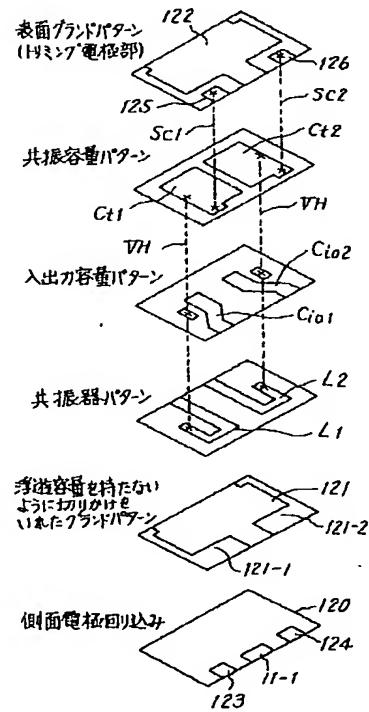
【図2】



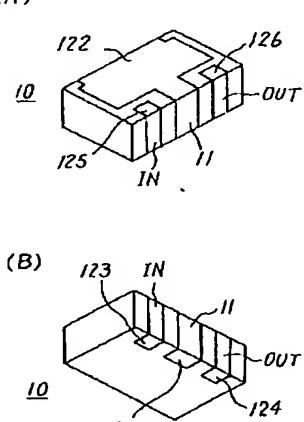
【図3】



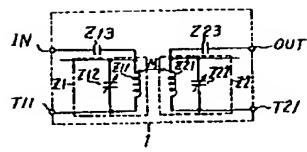
【図6】



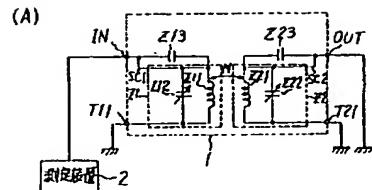
【図5】



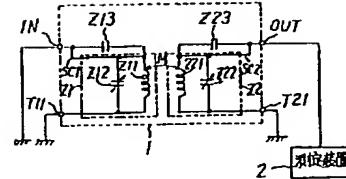
〔図7〕



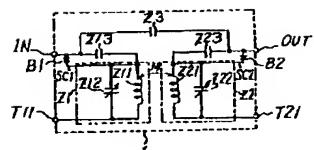
[図8]



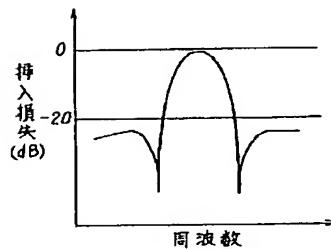
[図9]



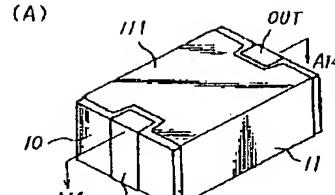
### 〔図10〕



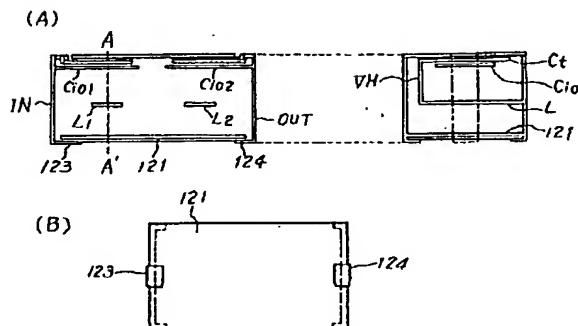
[図11]



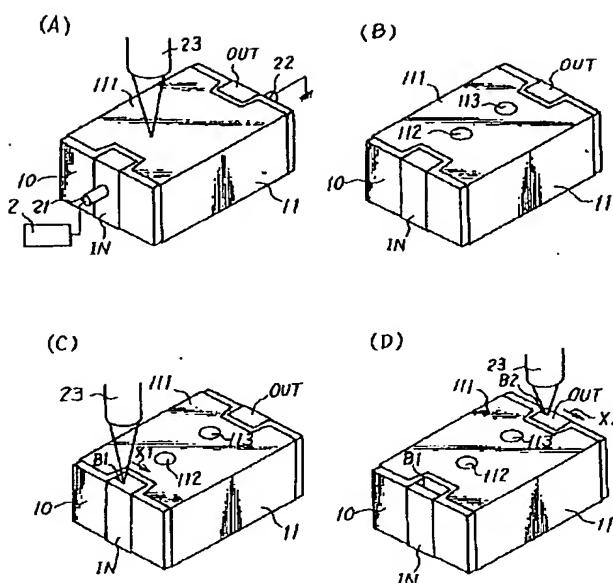
[図12]



[図15]

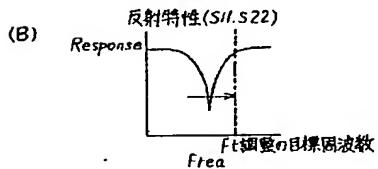
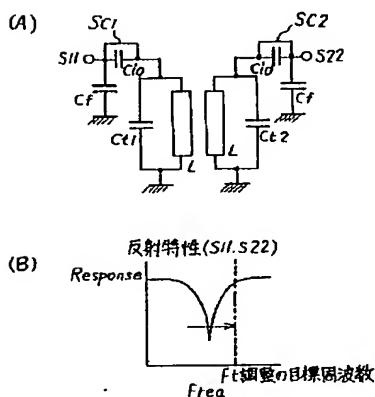
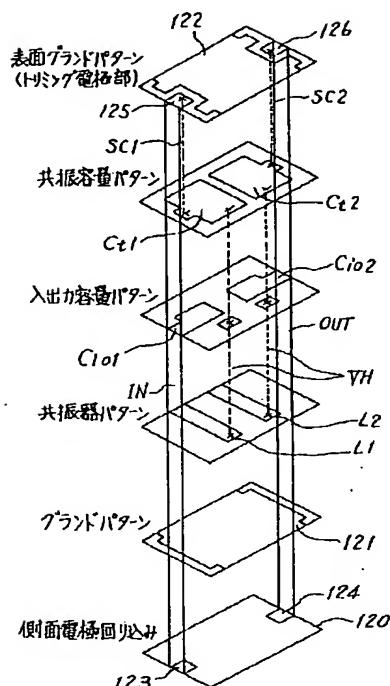


【図13】



【図16】

【図14】



【図17】

